

SOI CMOS 技术 及其应用

黄 如 张国艳 编著
李映雪 张 兴

科 学 出 版 社

北 京

内 容 简 介

本书从材料、器件、工艺和电路角度系统地介绍 SOI CMOS 技术。全书共分 8 章,从 SOI 材料的主要制备技术以及表征技术开始,详细分析和阐述 SOI MOS 器件的主要基本特性和物理效应,包括浮体效应、短沟效应、窄沟效应、边缘效应、热载流子效应、自加热效应以及器件的瞬态特性、噪声特性和抗辐射特性等;然后从定量分析的角度介绍器件的理论模型;介绍 SOI CMOS 工艺制备技术以及一些很有潜力的新型 SOI 器件;最后重点介绍 SOI CMOS 电路应用,包括 SOI 微处理器电路、数模混合信号电路、射频集成电路、存储器电路以及高温高压 SOI 电路等。本书取材新颖,涵盖了 SOI CMOS 技术的基本知识和最新进展。

本书可作为微电子专业的研究生和高年级本科生以及专业技术人员的重要参考书,也可以作为信息领域其他专业的学生和相关科研人员、工程技术人员的重要参考资料。

图书在版编目(CIP)数据

SOI CMOS 技术及其应用/黄如等编著. —北京:科学出版社,2005

ISBN 7-03-015968-3

I .S… II .①黄… III .绝缘衬底上硅,MOS 集成电路 IV .TN432

中国版本图书馆 CIP 数据核字(2005)第 083017 号

责任编辑:崔炳哲 / 责任制作:魏 谨

责任印制:刘士平 / 封面设计:李 力

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科 学 出 版 社 出版

北京东黄城根北街 16 号

邮 政 编 码 :100717

<http://www.sciencep.com>

源海印刷有限责任公司 印刷

科学出版社发行 各地新华书店经销

*

2005 年 10 月第 一 版 开本: B5(720×1000)

2005 年 10 月第一次印刷 印张: 24 3/4

印数: 1—3 000 字数: 483 000

定价: 48.00 元

(如有印装质量问题,我社负责调换〈新欣〉)

序 言

我以喜悦的心情迎接《SOI CMOS 技术及其应用》一书的出版。追溯起来,早在 10 年前就策划写这本书,并邀请李映雪和林成鲁参与写材料方面的章节,但很可惜,由于忙于杂务,终未能如愿。如今这个心愿由我的学生完成了。岂能不有感而发。

本书四位作者中,三位是我的学生(其中二位是博士生,一位是博士后研究人员),一位则是与我有多年合作共事历史的同事。而这三位学生现在已经担当了北京大学微电子学学科建设与发展的重任。我国古代的伟大文学家韩愈在他的“师说”一文中曾说过:“……孔子曰:‘三人行,则必有我师’。是故弟子不必不如师,师不必贤于弟子。闻道有先后,术业有专攻,如是而已。”教师的神圣职责就是要培养出优秀的学生,特别是能培养出超过自己的学生。这样才能“江山代代有人才出”。我们的社会、我们的学科才能可持续的发展。做一名教师,其最大的欣慰也莫过于看到自己的学生不断成长,不断地推出优秀的教学与科学研究成果。

SOI CMOS 的研究工作在北京大学已有 20 多年的历史了,SOI CMOS 研究室 20 多年来不断地在推出新的成果,同时培养出一批批青年学子。我国半导体学界的前辈,我的老师谢希德院士在他生前曾在一个国际学术会议的特邀报告中称我们这个研究集体是中国 SOI CMOS 研究的“pioneer”。但是我应该清楚地说明,SOI CMOS 研究室的很多创新工作是由历届研究生,特别是博士研究生们完成的,其中现在的四位作者就是这些创新工作的实践者和探索者。使我觉得难能可贵的是,本书作者不仅仅对 SOI CMOS 的物理机理作了深入而清晰的阐述,而且把多年的科学研究成果都概括进去了。例如第 4 章、第 5 章和第 7 章,这里面有不少闪光的思想。不妨做一个预测,由几届博士生提出和探索的 SD SOI 与 SD SON 结构,有可能将在 $<35\text{nm}$ 以后的节点上得到重视和广用。当然预测终究是预测,有可能不准确,甚至完全预测错了,但是有一条无疑是永远值得肯定的,那就是这些年轻学者所表现出来的创新精神。

最近温家宝总理在国家科学技术奖励大会上说:“当今世界,科学技术是综合国力竞争的决定因素,自主创新是支撑一个国家崛起的筋骨”。这几位年轻作者写的不仅仅是一本有关“SOI CMOS 技术及其应用”的书,而且是多年来创新实践的总结,是 20 多年北京大学微电子学科在 SOI CMOS 方向上科学实践的凝练。

当前,我国微电子产业及其科学技术正处于高速发展时期,虽然还只是开始,但我却坚信着光明的未来。我们要再用 10 年左右的时间才能把我国建设成为微电子产业和科学技术的大国,在此基础上,再用 5~10 年左右的时间,把我国建设成为微电子产业和科学技术强国,尽管对于这个信念和时间表还存着不同的意见和认识,这是一件十分正常的事情。也有一些国外的分析家认为,目前中国高速发展的微电子产业或许只是一个“泡沫”。理由何在呢?他们认为主要的制约因素是在人才上。我是一个“乐

观主义”者,平心而论,在我们发展集成电路最艰难的时刻,我也从未动摇过。我国 ICCAD 三级系统总设计师美籍华人连永军博士曾多次称我“永远乐观的王教授”,我不认为我们现在的高速发展是“泡沫”。有着一批像本书作者这样的年轻而具有创新精神的学术带头人,我们的发展怎可能会是“泡沫”呢!有着这样一批同志踏实、勤奋地耕耘在大学教学与科学研究岗位上,我们的人才必能源源不断地培养出来,诚如“大江东流浪淘尽千古风流人物”。人才与经济的严重短缺,只是发展过程中的一个历史现象,给我们 10 年时间,这个状况就会大大改观。也正因为这个短缺,才使我们大有用武之地。其实,只要人类社会存在,教育就是一个永恒的主题;只要人的生命存在,学习就是不竭的任务。就这个意义上讲,面对社会发展需求,真正的人才和经验是永远不足的,即使是在最发达的西方国家也是如此。所谓的“泡沫”说,只能更加激发我们的斗志,2020 年全国建成小康社会和 21 世纪中叶中华民族的伟大复兴的任务必将在这年轻的一代中实现。

我的感言或许早已超过了写一个序言的传统概念范畴了,但这却是我此时此刻的真心感受,我笃信着它。我虽已年逾古稀,但我仍在热情的实践它,更重要的是,要把这一信念传给我的学生们,我寄厚望于他们。“人生几春秋,文章千古传”,或许后来者可以验证这些信念。

最后我热烈祝贺《SOI CMOS 技术及其应用》一书的出版,希望它能成为微电子领域大学高年级学生、研究生和科技人员的重要参考书,相信大家读了这本书之后,不仅能学习到 SOI CMOS 这一新型器件的原理和知识,如果细细琢磨,还能从中悟出从 SOI CMOS 发展出来的一系列超深亚微米器件的内在原因,可以从中体会到从事科学研究的一些方法论。最后我以“真理求之于渊源,天才得之于勤奋”赠给读者们。



2005 年 5 月 1 日于北京大学

前 言

从第一个晶体管的发明到超大规模集成电路出现,硅基半导体工艺取得了一系列重大突破,以硅材料为主体,以集成密度高、静态功耗低、速度较快的 CMOS 技术为主流的微电子技术成为性能价格比最优异、应用最广泛的集成电路技术。目前,特征尺寸为 $0.09\mu\text{m}$ 的集成电路已经开始批量生产,而根据 ITRS(International Technology Roadmap of Semiconductor)Roadmap 的最新预测,到 2016 年,22nm 特征尺寸的工艺技术将进入生产阶段。

然而,在传统体硅技术中,随着特征尺寸的缩小,器件内部以及器件与器件之间通过衬底的相互作用愈来愈严重,出现了一系列材料、器件物理、器件结构和工艺技术等方面的新问题。绝缘衬底上的硅(SOI; Silicon-On-Insulator)技术以其独特的材料结构有效地克服了体硅材料的不足,从而可以充分发挥硅集成技术的潜力,成为目前最有发展前景的新型集成电路技术之一。

SOI 技术从 20 世纪 60 年代开始受到关注,80 年代以后有了较大的进展,90 年代后期进入部分商用领域。相比于体硅技术而言,SOI 技术具有集成密度更高、寄生电容小、抗闩锁能力强、抗辐射能力强等特点。其优越的抗辐射性能使 SOI 技术首先在卫星、航天等空间应用领域获得重视,美国 Harris 公司很早就有 SOI 产品用于抗辐照环境中。速度和功耗方面较大的改善则使基于 SOI 衬底的 CMOS 电路在更为广泛的应用领域备受青睐。薄膜全耗尽 SOI 器件表现出的更高电流驱动能力、陡直的亚阈值斜率以及良好的等比例缩小能力,不仅使 SOI 技术在高速、低压、低功耗电路中的优势更为明显,而且对于特征尺寸缩小到纳米量级后的集成电路有更大的应用潜力,ITRS Roadmap 预测的未来五种非传统 MOS 器件中有四种是 SOI 器件。此外,SOI 技术给高密度低功耗存储电路以及新型存储单元的设计带来了新的机遇,其特有的全介质隔离结构对于射频/模拟电路以及集成系统芯片也有很大的吸引力。IBM 公司等著名半导体公司竞相开发先进的 SOI 工艺,并应用到一些电路产品中。未来的集成电路是否会完全采用 SOI 技术还未有定论,但是在本世纪 SOI 成为集成电路主流技术之一已是公认的趋势,SOI 技术在集成电路及其他相关应用领域的重要地位日臻突出已是不争的事实。

北京大学微电子研究院在王阳元院士的领导下从事 SOI 技术方面的研究工作已有 20 余年,从 SOI 材料到 SOI 器件、工艺与电路都作了不少工作,取得了一系列研究成果。在 SOI 技术快速发展、渗透领域逐渐扩大的今天,一本全面介绍 SOI 技术方面的专业书籍显得比任何时候都更为重要和必要。为此,我们决定编写这本书,希望能够较全面地将我们了解的 SOI 技术的相关内容介绍给同行,促进国内相关研究工作的发展,同时也可以作为微电子专业研究生和高年级本科生的参考资料。事实上,本

书的撰写很多是与在北京大学已开设了三年的微电子专业研究生课程《半导体新器件技术》结合在一起的,SOI技术作为该课程中的主要内容讲授给学生,收到了很好的效果。此外,由于SOI技术的应用领域广泛,其他相关专业的研究人员和研究生也可以通过本书了解到相关的知识。

本书主要从SOI材料、器件、工艺到电路应用等方面进行介绍。在本书中我们希望一方面将有关SOI技术的基本知识介绍给读者;另一方面,结合大量文献资料调研和我们的研究成果,介绍目前SOI技术的最新进展。由于目前应用最为广泛的还是SOI CMOS技术,所以我们重点介绍这方面的内容,并尽力介绍得较为全面透彻。但是,即使仅是SOI CMOS技术,覆盖面也很广,而且发展很快,无法全面反映其整体情况,书中内容难免局限,而且限于我们的水平,疏漏和错误之处也在所难免,欢迎读者批评指正。

本书的第1章由张兴教授和张国艳博士撰写,第2章和第3章由李映雪教授和林成鲁研究员撰写,第4章、第5章和第7章由黄如教授撰写,第6章由韩郑生研究员和张国艳博士撰写,第8章由张国艳博士撰写,第2章,第3章由张国艳博士初校,最后由黄如教授对全书进行了统稿和审核。

王阳元院士在百忙之中亲自为本书写了序言,并为本书提出了许多建设性的意见。本书的作者大多是王老师的学生,我们取得的任何进步都是与王老师的亲切教诲分不开的,在此向王老师致以最诚挚的谢意。

甘学温教授、刘晓彦教授、廖怀林博士、张盛东博士、汪红梅博士、何进博士、张苗博士等,曾就本书与作者进行了多次有益的讨论,所有这些都使我们受益匪浅,在此向他们表示衷心的感谢。杨胜齐、张慧邃、王荣、李琛、刘军华、杨利、郭奥、杨淮洲、王凝华、王文平等同学为本书的出版做了大量的工作,在此也对他们表示感谢。

编著者

2005年3月

目 录

第 1 章 绪 论	1
1.1 硅集成电路技术发展概况及存在的问题	1
1.2 SOI 技术的特点与优势	3
1.3 SOI 技术存在的问题	5
1.4 SOI 技术发展的现状与展望	6
1.5 本书的章节安排	8
参考文献	9
第 2 章 SOI 材料制备技术	11
2.1 SOI 材料的特点及技术分类	11
2.2 注入隔离技术	14
2.2.1 SIMOX 技术	15
2.2.2 注氮隔离技术和注氧、氮隔离技术	18
2.2.3 SIMOX SOI 材料的模型与模拟	18
2.2.4 改进 SIMOX 材料质量的途径	26
2.2.5 注氧离子注入机	31
2.2.6 等离子体浸没离子注入技术(PIII)	31
2.3 硅片键合 SOI 技术(BSOI)	35
2.3.1 硅-硅键合机理	36
2.3.2 硅-硅直接键合的相关问题	37
2.3.3 硅-硅直接键合工艺的表面技术	40
2.3.4 硅-硅直接键合的减薄技术	42
2.4 智能剥离技术	43
2.4.1 智能剥离技术中的离子注入	44
2.4.2 智能剥离技术键合前的表面处理	47
2.4.3 智能剥离技术中的退火	53
参考文献	54
第 3 章 SOI 材料特性的表征	60
3.1 晶体基本性质的表征	61

VI 目 录

3.1.1 晶向的确定	61
3.1.2 缺陷	62
3.1.3 晶化程度	66
3.2 硅膜厚度的测量	70
3.2.1 椭圆偏振光谱法	70
3.2.2 电学方法测量硅膜厚度	74
3.2.3 光谱反射法——薄硅膜厚度的测量	74
3.2.4 反射光谱极值法	78
3.2.5 傅里叶变换法——厚硅膜的测量	80
3.3 载流子寿命和表面复合	82
3.3.1 器件中的少数载流子寿命测量	82
3.3.2 表面光电压法测量硅少子寿命	93
3.4 硅-二氧化硅界面态的测量	95
3.4.1 电容-电压法	95
3.4.2 电荷泵法	96
3.4.3 直流电流-电压法	101
3.5 硅层中的杂质	102
3.5.1 硅中的碳杂质	102
3.5.2 硅中的氧杂质	103
参考文献	103

第 4 章 SOI MOS 器件的基本特性	108
4.1 厚膜和薄膜 SOI 器件及其主要工作模式	108
4.1.1 厚膜和薄膜 SOI 器件	108
4.1.2 SOI MOS 器件的主要工作模式	110
4.2 背栅效应	111
4.3 短沟道效应和窄沟道效应	112
4.3.1 短沟道效应	112
4.3.2 窄沟道效应	115
4.4 浮体效应和器件的瞬态特性	120
4.4.1 Kink 效应	121
4.4.2 寄生双极晶体管效应	122
4.4.3 瞬态浮体效应和器件的瞬态特性	126
4.4.4 线性区 Kink 效应	132
4.5 边缘效应	133
4.6 自加热效应	137

4.7 热载流子退化效应	140
4.7.1 常规 SOI 器件的热载流子退化特性	140
4.7.2 超薄栅 SOI 器件的热载流子退化特性	148
4.8 噪声特性	150
4.9 抗辐射特性	153
4.9.1 总剂量辐射效应	153
4.9.2 单粒子事件	155
4.9.3 瞬时辐射效应	158
参考文献	159

第 5 章 SOI MOS 器件的理论模型

5.1 阈值电压模型	166
5.1.1 长沟道 SOI 器件的阈值电压模型	166
5.1.2 短沟道全耗尽 SOI 器件的阈值电压模型	168
5.2 亚阈值模型	176
5.2.1 亚阈值斜率	176
5.2.2 亚阈值电流模型	183
5.3 强反型电流模型	185
5.3.1 分区模型	185
5.3.2 连续模型	189
5.4 二级物理效应模型	193
5.4.1 短沟道效应和 DIBL 效应	193
5.4.2 漏致电导增强效应	194
5.4.3 迁移率退化效应	195
5.4.4 串联电阻效应	195
5.4.5 线性区电流与饱和区电流	196
5.4.6 沟道长度调制效应	198
5.4.7 速度过冲效应	199
5.5 浮体效应和自加热效应模型	200
5.5.1 考虑浮体效应的模型	200
5.5.2 考虑自加热效应的模型	210
参考文献	212

第 6 章 SOI 器件与电路制备工艺

6.1 SOI 器件与电路在工艺和设计中的特点	216
6.2 SOI 工艺中的一些关键问题	218

6.2.1 隔离工艺	218
6.2.2 自对准硅化物工艺	221
6.3 抑制浮体效应的途径	225
6.3.1 体引出工艺抑制浮体效应	225
6.3.2 抑制浮体效应的工艺途径	231
6.4 SOI CMOS 器件和电路制备的工艺流程	234
参考文献	238

第 7 章 新型 SOI MOS 器件

7.1 动态阈值 MOS 器件(栅控混合管)	241
7.1.1 工作机理及工艺	241
7.1.2 特性分析	244
7.1.3 存在的问题	250
7.2 超薄体 SOI MOS 器件	252
7.2.1 凹陷沟道和提升源漏超薄体 SOI 器件	252
7.2.2 超薄体器件的载流子迁移率和阈值电压	256
7.3 SOI 应变沟道 MOS 器件	257
7.3.1 应变沟道 MOS 器件的迁移率	257
7.3.2 SOI 应变沟道 MOS 器件	258
7.4 SON MOS 器件	264
7.4.1 SOV MOS 器件	264
7.4.2 SON MOS 器件	266
7.5 双栅 SOI MOS 器件	269
7.5.1 双栅 SOI MOS 器件的基本特性	270
7.5.2 双栅 SOI MOS 器件的按比例缩小理论	271
7.5.3 对称双栅和非对称双栅器件	273
7.5.4 双栅 SOI MOS 器件结构及制备工艺	275
7.5.5 多栅 SOI MOS 器件	283
参考文献	287

第 8 章 SOI 技术的若干典型应用

8.1 在微处理器方面的应用	295
8.2 在数模混合集成电路中的应用	297
8.3 在射频集成电路中的典型应用	304
8.3.1 SOI 技术应用于射频集成电路的可能性	304
8.3.2 基于 SOI 衬底的射频有源器件	306

8.3.3	基于 SOI 衬底的射频无源器件	310
8.3.4	基于 SOI 衬底的射频电路	315
8.4	在存储器中的应用	336
8.4.1	SOI DRAM	337
8.4.2	SOI SRAM	347
8.4.3	SOI 闪存器	358
8.4.4	SOI TRAM	363
8.5	在高温环境下的应用	364
8.5.1	SOI 器件高温特性	364
8.5.2	SOI 高温电路应用	366
8.6	在高压领域的应用	370
8.6.1	SOI 技术在功率器件中的优势及问题	370
8.6.2	SOI 高压器件	372
8.6.3	SOI 功率集成电路	376
	参考文献	377

第 1 章 绪 论

1947 年 12 月 23 日,巴丁(J. Bardeen)、布拉顿(W. Brattain)和肖克莱(W. Shockley)成功地观察到了世界上第一个点接触式晶体管的放大特性,从而拉开了微电子科学与技术产业的序幕。早在 1926 年,Lilienfield 就提出了场效应晶体管的概念,不过,这一概念在相当长一段时间内没有得到实际应用,直到 1960 年,Kahny 和 Attala 才把这一概念成功地应用到 Si-SiO₂ 系统,导致了 MOSFET 的发明。从此,MOS 晶体管进入集成电路制造业,并逐步成为微电子科学技术和产业中最重要的电子器件。目前,MOS 集成电路已经占到整个集成电路产值的 90% 以上。

1.1 硅集成电路技术发展概况及存在的问题

随着 20 世纪 70 年代初英特尔(Intel)公司 1Kb DRAM 和采用 10~8 μ m 沟长的 PMOS 技术制造的 750kHz 微处理器 4004 的研制成功,微电子技术进入到 MOS 大规模集成电路(LSI)时代。在过去的 30 多年中,大规模 MOS 集成电路在性能和功能上均获得了突飞猛进的发展。到目前为止,采用 90nm CMOS 工艺制造的 8Gb DRAM^[1] 和 3.73GHz 微处理器^[2] 已经分别由韩国三星公司和美国英特尔公司研制成功。

超大规模集成电路技术取得快速发展的动力主要源于不断缩小的器件尺寸和不断增大的芯片面积(见图 1.1)。器件尺寸的不断缩小,导致了电路性能的不断改善以

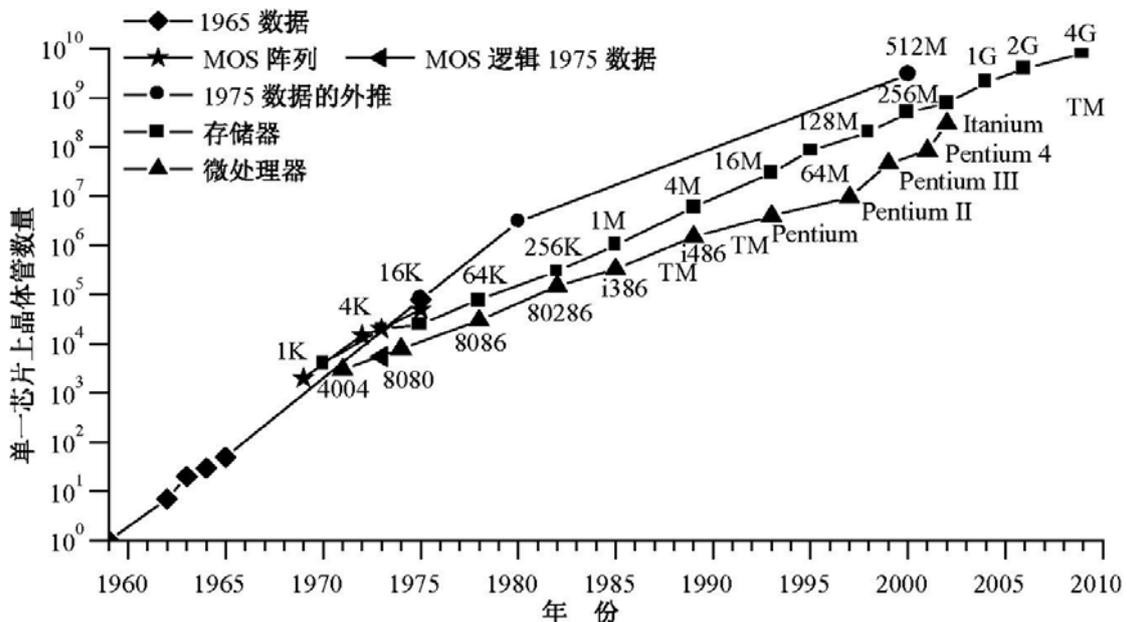


图 1.1 根据摩尔定律所给出的 CPU 和存储器发展情况

及电路密度的不断增加;芯片面积的不断扩大,则促使电路功能不断增多,成本不断降低。正是由于这两个方面的作用,集成电路芯片基本上遵循摩尔定律的发展规律,即集成度大体每隔3年增长4倍,性能随之提高约40%,集成电路的特征尺寸缩小约 $\sqrt{2}$ 倍。图1.1给出了根据摩尔定律预测的CPU和存储器发展情况的示意图。

正是需求牵引和技术推动的双重作用,使超大规模集成电路基本按摩尔定律的指数规律快速发展。美国半导体工业协会正是基于这一规律为将来集成电路的发展制定出了技术蓝图——ITRS(International Technology Roadmap for Semiconductor)^[3]。按此蓝图,到2018年,MOS器件的栅长将缩小到10nm,电学沟道长度仅为7nm,单个芯片上的晶体管数量将达到 10^{11} 以上。图1.2为ITRS给出的集成电路发展的示意图。

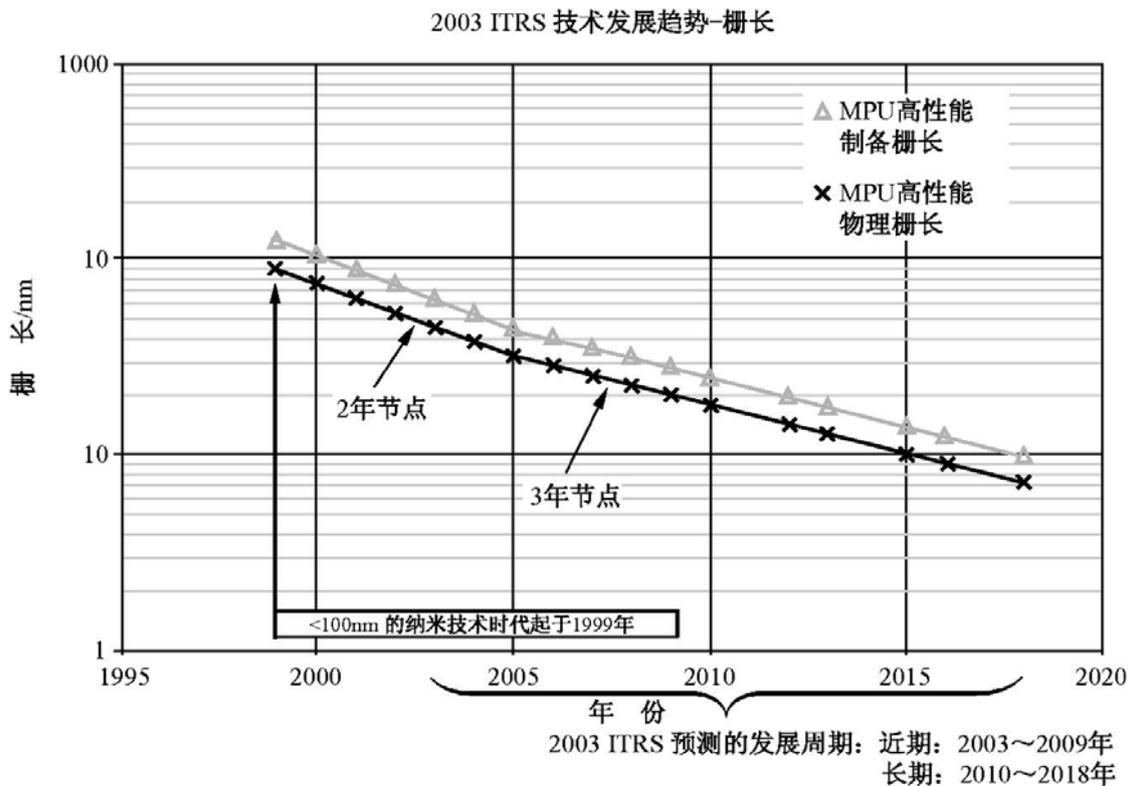


图 1.2 ITRS 预测集成电路中器件栅长发展示意图

近年来,随着超大规模集成电路特征尺寸逐步缩小到亚100nm范围,在材料技术、器件理论、器件结构以及制作工艺等方面出现了一系列新问题,使得亚100nm硅集成电路的功耗、可靠性以及电路的性能价格比受到较大的影响。体硅器件尺寸缩小后遇到的部分问题包括:

① 随着器件尺寸的缩小,为了防止热载流子效应等影响器件的可靠性,工作电源电压必须降低。为了保证电路性能不退化,阈值电压要和电源电压一起下降。但由于亚阈值斜率不能按比例缩小,阈值电压降低会导致关态泄漏电流的迅速增加。因此,静态功耗限制了阈值电压的进一步降低。

② 随着器件尺寸的缩小,为了抑制短沟道效应,保证器件有良好的特性,要求栅对沟道电荷的控制能力应远远大于漏对沟道电荷的控制能力,于是需要同时减小栅氧化层的厚度。当MOSFET尺寸缩小到100nm尺度以下时,栅氧化层的等效厚度需要

小于 3 nm。这意味着,如果仍然采用传统的 SiO_2 作为栅氧化层介质,电子的直接隧穿效应和栅介质层所承受的电场将变得很大,由此引起的栅介质的漏电流和可靠性将成为十分严重的问题,这也限制器件的进一步缩小。

③ 体硅器件中的寄生可控硅门锁效应以及由于特征尺寸缩小、电源电压降低导致的软失效问题会使电路的抗干扰能力下降,可靠性降低。

④ 由于集成密度和集成度的迅速提高,使得集成电路的功耗密度急剧提高,功耗和热耗问题已经成为制约亚 100 nm 集成电路技术发展的一个重要“瓶颈”问题。

⑤ 随着器件尺寸的缩小,体硅 CMOS 器件的各种多维及非线性效应变得十分显著,严重影响了器件性能的进一步提高。体硅 CMOS 按比例缩小遇到的问题还包括浅结和接触等危害成品率的因素。

⑥ 器件之间隔离区所占的芯片面积随器件尺寸的减小相对增大,使得寄生电容增加,互连线延长,影响了集成度及速度的进一步提高。

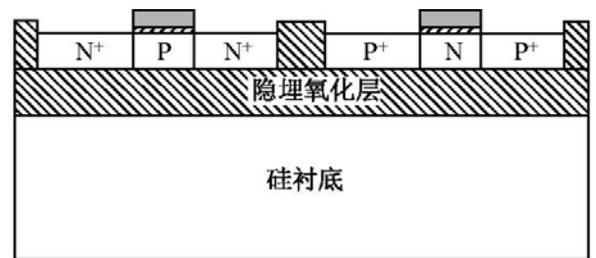
⑦ 复杂的工艺步骤和昂贵的工艺设备导致生产成本骤增。

为了解决这些问题,众多科研工作者虽然采取了诸如深槽隔离^[4]、HALO 结构^[5]、应变沟道材料、高 K 栅介质材料、金属栅电极材料^[6]等一系列新技术,但当器件特征尺寸进一步缩小时,仍然面临很多困难。因此,研究新型的适于纳米量级半导体器件的新型器件就成为当前亟待解决的技术。

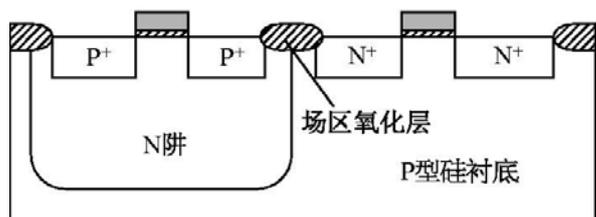
在众多新结构器件技术中,绝缘衬底上硅(SOI: Silicon On Insulator)技术以其独特的结构有效地克服了体硅材料的不足,充分发挥了硅集成电路技术的潜力,正逐渐成为制造高速、低功耗、高集成度和高可靠超大规模集成电路的主流技术^[7, 8]。

1.2 SOI 技术的特点与优势

SOI 技术作为一种全介质隔离技术,有着许多体硅技术不可比拟的优越性。一种典型的 SOI CMOS 结构如图 1.3(a)所示,图 1.3(b)为体硅 CMOS 结构的横截面示意图。从图可见,在 SOI 技术中,器件仅制造于表层很薄的硅膜中,器件与衬底之间由一层隐埋氧化层隔开,正是这种独特的结构使得 SOI 技术具有了体硅所无法比拟的优点。SOI CMOS 器件具有功耗低、抗干扰能力强、集成密度高(隔离面积小)、速度高(寄生电容小)、工艺简单、抗辐照能力强,并彻底消除了体硅 CMOS 器件的寄生门锁效应等优点。随着 SOI 顶层硅膜厚度减薄到全耗尽工作状态(硅膜厚度小于有效耗尽区宽度)时,全耗尽的



(a) 典型的 SOI CMOS 结构横截面示意图



(b) 典型的体硅 CMOS 结构横截面示意图

图 1.3 SOI 和体硅 CMOS 器件的横截面示意图

SOI 器件将比传统 SOI 器件具有更优越的特性,这种全耗尽 SOI 结构更适合于高性能 ULSI 和 VHSI 电路。综合来说,SOI 器件和电路主要具有的特点如下:

(a) 速度快 全耗尽 SOI 器件具有迁移率高(器件纵向电场小,且反型层较厚,使表面散射作用降低)、跨导大、寄生电容小(寄生电容主要来自隐埋二氧化硅层电容,远小于体硅 MOSFET 中的电容,它不随器件等比例缩小而改变,且 SOI 的结电容和连线电容都很小)等优点,因而 SOI CMOS 电路具有极好的速度特性,这一优势随着 ULSI 技术向深亚微米水平发展,变得越来越突出。因寄生电容小而导致电路速度提高这一特点在由部分耗尽器件所制备的电路中也同样存在。

(b) 功耗低 功耗包括静态功耗和动态功耗两部分,其中静态功耗 P_s 依赖于泄漏电流 I_L 和电源电压 V_{DD} ,即 $P_s = I_L \cdot V_{DD}$,在全耗尽 SOI 器件中,陡直的亚阈值斜率接近理想水平,泄漏电流很小,静态功耗很小;动态功耗 P_A 由电容 C 、工作频率 f 及电源电压决定: $P_A = C \cdot f \cdot V_{DD}^2$,在全耗尽 SOI 电路中,结电容降低且具有极小的连线电容,因此动态功耗也大大降低。

(c) 特别适合于小尺寸器件 全耗尽 SOI 器件的短沟道效应较小,不存在体硅 CMOS 电路的体穿通问题,能自然形成浅结,泄漏电流较小,亚阈值曲线陡直,所有这些都表明全耗尽 SOI 结构特别适合于超深亚微米器件。

(d) 特别适合于低压低功耗电路 在体硅 CMOS 集成电路中,由于体效应的作用,降低电源电压会使结电容增加,驱动电流减小,导致电路速度下降;而在薄膜全耗尽 SOI CMOS 集成电路中,这两个效应都很小,低压全耗尽 SOI CMOS 电路与相应体硅电路相比具有更高的速度和更小的功耗,更适于低压低功耗集成电路。

(e) 集成密度高 SOI 电路采用介质隔离,它不需要制备体硅 CMOS 电路的阱等复杂隔离工艺,器件最小间隔仅仅取决于光刻和刻蚀技术的限制,集成密度大幅度提高。

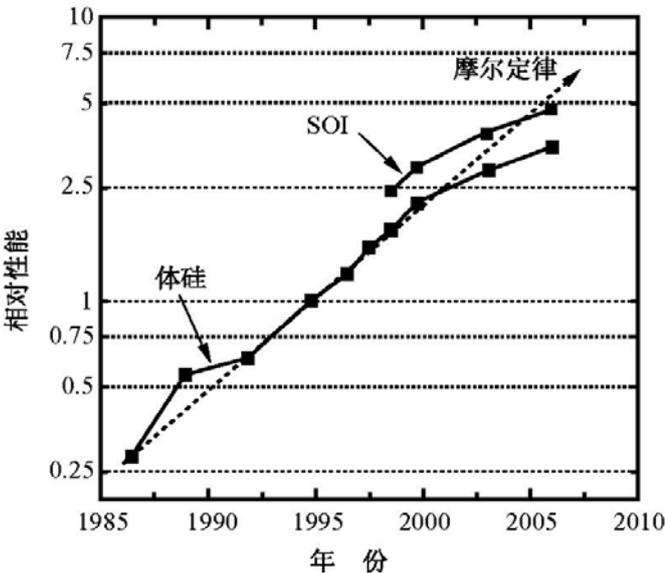


图 1.4 IBM 公司对 SOI 技术沿着摩尔定律发展的预测

(f) 成本低 一般认为,SOI 是一种理想的 ULSI 技术,只是成本较高。实际上这是一种误解,SOI 技术除衬底材料比体硅材料价格高之外,其他成本均低于体硅。SOI CMOS 电路的制造工艺比典型体硅工艺至少少用三块掩模版,减少 13%~20% 的工序;由于电路尺寸缩小,相同电路的芯片面积可降低 1.8 倍,浪费的面积可减少 30% 以上。

(g) 抗辐照特性好 SOI 技术采用全介质隔离结构,彻底消除了体硅 CMOS 电路的闩锁(latch-up)效应,且具有极小的结面积,因此具有非常好的抗软失效、瞬

时辐照和单粒子(α 粒子)翻转能力^[9]。

由此可见,SOI 结构能有效地克服体硅材料的不足,充分发挥硅集成技术的潜力,它在高性能 ULSI、VHSI、高压、高温、抗辐照、低压低功耗、存储器及三维集成等领域均有极其广泛的应用。图 1.4 为 IBM 公司对 SOI 技术沿着摩尔定律发展的预测。

1.3 SOI 技术存在的问题

SOI 技术既然拥有如此众多的优点,并且早在 1990 年代初就有很多人预测 SOI 技术将替代体硅技术而成为大规模集成电路的主流制备工艺,但实际发展的状况却表明,人们对 SOI 技术寄予的厚望却一次次地落空,直到最近两三年,即进入亚 100nm 集成电路技术代时,SOI 才真正被产业界广为接受。之所以会出现这种状况,分析起来大概主要有以下几个因素限制了 SOI 技术的广泛应用:

SOI 材料是制约 SOI 技术进入大规模生产领域的第一个因素。SOI 材料是 SOI 技术的基础,SOI 技术的发展有赖于 SOI 材料的不断进步。早期的蓝宝石衬底上的硅(SOS)技术、横向外延(ELO)技术、激光再结晶技术、区熔再结晶(ZMR)技术等^[10]均难以实现高质量的顶层单晶硅膜。近年来,随着 SIMOX(注氧隔离, Separation by IMplanted OXYgen)和智能剥离(Smart-cut)技术的逐步走向成熟,SOI 材料的质量问题得到了很大的提高。特别是 Smart-cut 技术,它将离子注入技术和硅片键合技术结合在一起^[11],成功地解决了键合制备的 SOI 材料中硅膜的减薄问题,可以获得均匀性很好的顶层硅膜,且硅膜的质量接近于体硅。另外,剥离下来的硅片还可以作为下一次键合的衬底,降低了成本。随着 SOI 材料制备技术的逐步成熟,其产能也随之大幅提高,图 1.5 为 SEMI 在 2003 年给出的厚膜和薄膜 SOI 材料的市场预测^[12]。现在可

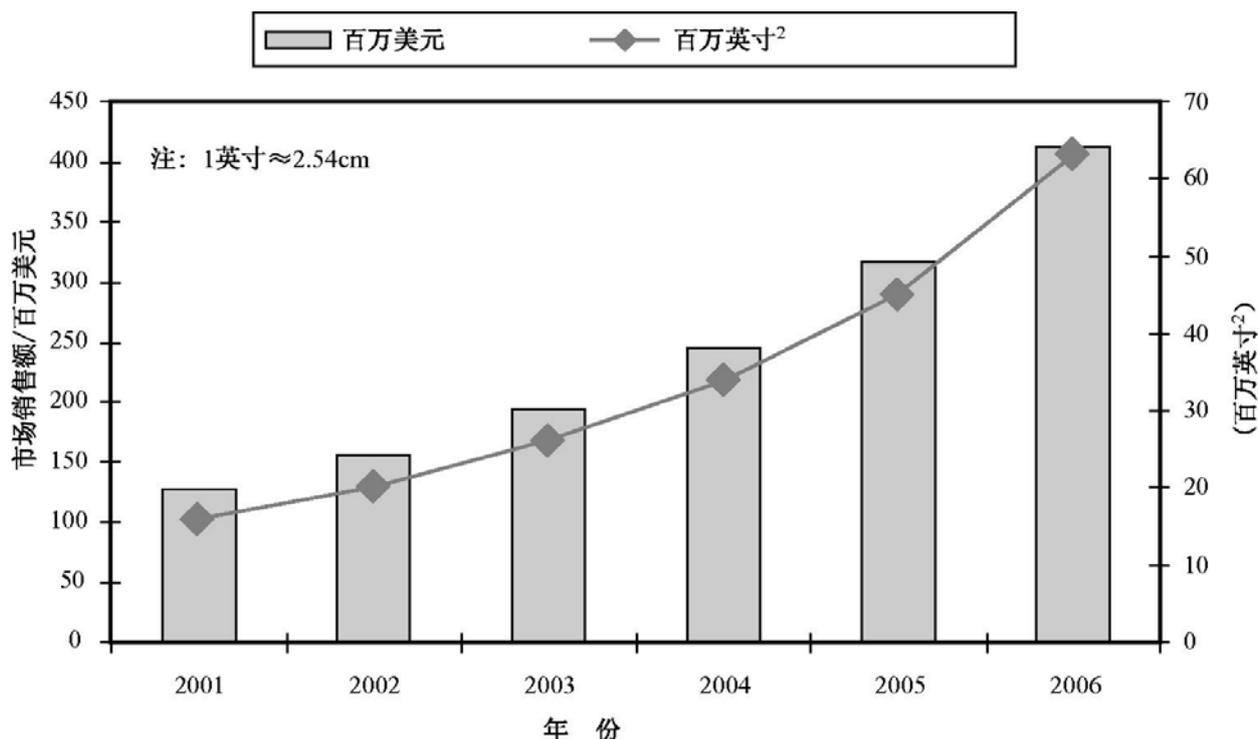


图 1.5 SEMI 在 2003 年给出的厚膜和薄膜 SOI 晶片的市场预测

以说,不论从 SOI 材料的质量还是产能均能满足大规模应用于集成电路产业的要求。

第二个影响 SOI 技术大规模进入产业界的原因是 SOI 器件本身存在的一些寄生效应。SOI 器件中存在的浮体效应是与体硅器件相比最大的一个问题。由于浮体效应导致的寄生双极晶体管效应、记忆效应、迟滞效应、Kink 效应等对实际电路的影响及如何克服这些影响目前还有待进一步深入研究。实验发现,浮体效应不仅可以严重影响模拟电路的特性,而且还会导致数字电路的逻辑失真和功耗增大,所以部分耗尽(PD) SOI CMOS 技术在实际电路中是否可以得到所期望的性能上的改善,仍是一个广泛争议的问题。虽然通过体引出等技术可以较为有效地抑制浮体效应,但这种技术不仅要占用较大的芯片面积,而且通常还会引入较高的体电阻,使得体接触的有效性大大降低^[13, 14]。为了抑制浮体效应,近年来提出了许多不同的方法,如用氩(Ar)注入引入复合中心^[15]、源区注入锗(Ge)减小禁带宽度^[16]等,但这些技术都存在着一些自身缺陷,很难被广泛接受。全耗尽(FD) SOI MOSFET 可以有效抑制浮体效应,并有良好的亚阈特性和短沟效应,而且不会增加芯片的面积;但控制超薄膜 FD SOI MOSFET 的硅膜均匀性及阈值电压的波动比较困难。另外,在超薄膜 FD SOI MOSFET 器件中存在较大的寄生源漏电阻,尽管现在已经提出了提升源漏结构来解决这一问题^[17],但工艺复杂,且达不到所期望的性能改善。最近由于材料和器件制备技术方面的改进,该问题已经有了较好的解决方案。

第三个制约 SOI 技术发展的因素是支撑 SOI CMOS 技术快速发展的配套环境还比较缺乏,与体硅器件相比,SOI 器件是一个五端器件(栅、源、漏、背栅、衬底),目前被广为应用的电子设计自动化(EDA)工具中的器件模型大多是四端的体硅器件。因此对新结构 SOI CMOS 器件特性的深入了解、针对 SOI CMOS 电路的设计方法学和精确的 SOI MOS 器件模型的缺乏、为数有限的 SOI CMOS 代工厂及 SOI EDA 仿真工具的不完善等也是制约 SOI 技术快速发展的“瓶颈”。

第四个因素是体硅技术在深亚微米集成电路领域的巨大成功间接地抑制了 SOI 技术的广泛应用。由于体硅技术在 $0.13\mu\text{m}$ 以上技术代能够满足人们对集成度和性能等方面的要求,抑制了集成电路制造商转向大规模采用 SOI 技术的热情。但随着集成电路技术进入亚 100nm 技术代,工作电压也随之降低,体硅器件中存在的一系列寄生效应变得越来越严重,集成电路制造技术的速度与前几年相比也开始出现放缓的迹象,在这种情况下,就迫使人们不得不考虑替代体硅技术的新技术。

以上简单分析了制约 SOI 技术成为集成电路主流制造工艺的几个重要因素,但随着近年来 SOI 技术的迅速发展,这几个因素已经逐步被人们所克服。根据目前的发展状况,对低压、低功耗、超高速集成电路的需求十分迫切,SOI 技术的发展无疑正面临着—一个十分灿烂辉煌的前景。

1.4 SOI 技术发展的现状与展望

随着体硅器件特征尺寸缩小到亚 100nm 领域,工艺复杂度越来越大,投资亦越来越

越高,新一代体硅集成电路出现的速度会放慢。

如前所述,若想保证纳米尺度下的体硅器件正常工作,相应地栅氧化层厚度需要进一步减薄,沟道掺杂浓度要进一步提高,但超薄栅氧化层的隧穿电流将使泄漏电流增加,高的沟道掺杂浓度会引起载流子迁移率的退化,从而使得体硅器件缩小后性能退化;而在 SOI 技术中采用超薄硅膜和中间带隙(mid-gap)栅技术,器件缩小后沟道区仍可采用较低的掺杂浓度,关态泄漏电流可以通过减小硅膜厚度来控制,而且对栅氧厚度的要求也可放宽,所有这些为 SOI 技术提供了更大的生存空间,使得 SOI 技术成为解决体硅 CMOS 集成电路缩小至亚 100nm 以后所遇到困难的重要途径之一。在低压、低功耗、高速、高可靠集成电路领域将逐渐成为主流工艺技术。

最近几年,SOI 材料不论在质量方面还是在成本方面都取得了十分巨大的进步。SOI 材料的质量已接近体硅材料,已经能够满足超大规模集成电路大生产的要求;在成本方面,也逐渐得到了集成电路制造厂家的认同。随着 SOI 材料技术的进步,SOI 技术已经进入了一个新的发展阶段,SOI CMOS 技术正逐步成为 ULSI 的主流工艺技术。

近年来,在 SOI 器件与电路研究方面取得了巨大的成功,特别是在低压、低功耗、高速、高可靠集成电路领域,SOI 技术得到了广泛的重视。例如 2004 年,IBM 公司成功地开发了综合应用 SOI 技术、应变硅和铜互连技术制备的 64 位微处理器 PowerPC 970FX^[18],图 1.6 为实现 PowerPC 970FX 的 SOI 工艺示意图,该芯片是 IBM 为工作站和服务器的产品,但它最广为人知的应用却是苹果的 PowerMac G5 机型,到目前为止已经发售了数百万片。SOI 技术亦成功地应用于低压电路,目前,已经采用 SOI 技术制备出可以在 0.5V 电源电压下工作的混频器^[19],在 1V 工作电压下工作的存

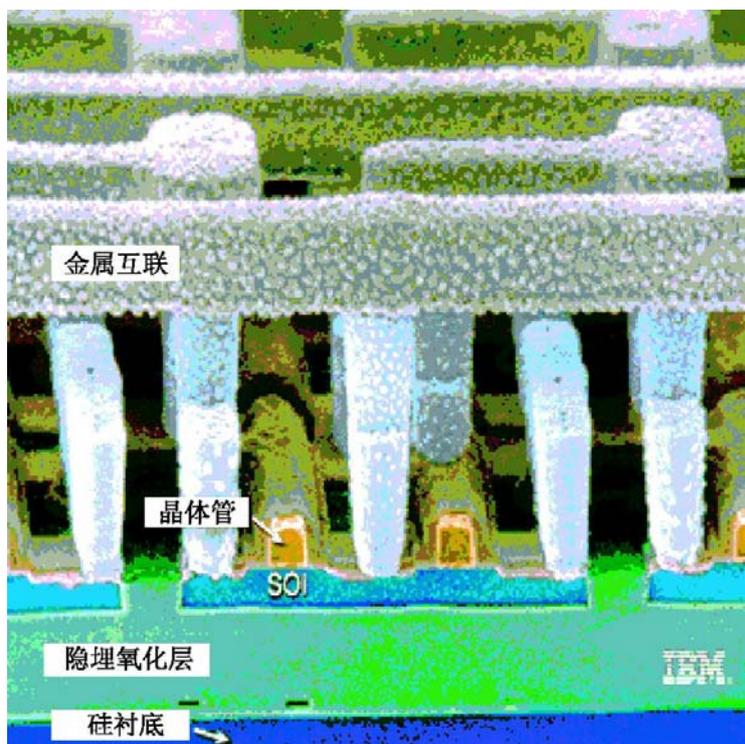


图 1.6 综合应用 SOI 技术、应变硅和铜互连技术制备的 64 位微处理器 PowerPC 970FX 的 SOI 工艺示意图

取时间为 46ns 的 16Mb DRAM^[20],用 0.18 μm 的 SOI 技术制备出了 64 位 ALU^[21],用部分耗尽 SOI CMOS 工艺制备的 10GHz 低抖动的宽带锁相环(PLL)^[22]等。

尽管 SOI 技术仍然存在着一系列亟待解决的问题,但是 SOI 技术成功地在器件、电路等领域的广泛应用使人们看到了 SOI 技术的发展前景。AMD 和 IBM 公司宣布,他们将在 90nm 工艺的芯片上采用 SOI 技术,所带来的直接好处就是在维持与体硅技术制备的芯片相同功耗的条件下,处理器的性能可以提高约 25%。IBM 计划在 2005 年上半年将在其 Power 处理器和其他芯片上采用 SOI 技术,AMD 公司也声称将在 2005 年上半年逐步在其 90nm AMD64 芯片上使用 SOI 技术。同时 IBM 公司还与新加坡的特许半导体合作在其 12 英寸¹⁾ 工艺线上开发 90nm SOI 工艺。所有的这些都表明 SOI 技术正处于一个新的快速发展阶段。

本书正是基于这一背景,总结 SOI 技术领域的研究成果,对 SOI CMOS 技术的主要方面进行较为详细的阐述,使读者对相关技术和问题有较为全面的认识。

1.5 本书的章节安排

本书共八章,分别从 SOI 材料、SOI MOS 工艺、SOI MOS 器件和 SOI 电路等几个方面进行了较为系统的分析和讨论。

第 2 章和第 3 章详细介绍 SOI 材料的制备工艺和 SOI 材料的质量表征,其中对目前流行的制备技术,如氧离子注入形成隔离(SIMOX)、键合(bonding)和智能剥离(Smart-cut)等技术给出了详细的描述,同时对 SOI 材料的特性表征技术,包括顶层硅膜的厚度、载流子寿命、界面态、硅中的杂质等的表征,进行了细致的讨论。

第 4 章和第 5 章对 SOI MOS 器件的基本物理特性和器件的理论模型进行介绍。第 4 章主要介绍 SOI MOS 器件的基本特性,讨论了 SOI 器件的工作模式,SOI 器件的背栅效应、短沟和窄沟效应、热载流子效应,尤其对 SOI 器件所存在的浮体效应导致的 Kink 效应、寄生双极晶体管效应以及对器件瞬态特性的影响等进行了深入分析,并对 SOI 器件的边缘效应和自加热效应进行阐述,同时还介绍了 SOI 器件的噪声特性和抗辐射特性等。第 5 章从 SOI 器件定量理论分析的角度,深入论述亚微米/深亚微米 SOI 器件的器件模型,对阈值电压、亚阈值特性、电流特性的理论模型进行重点讨论,并介绍包括短沟和漏致势垒降低效应、漏致电导增强效应、串联电阻效应、沟道长度调制效应、速度过冲效应等在内的二级效应的物理模型以及基于这些物理效应的深亚微米 SOI MOS 器件的电流模型,同时讨论 SOI 器件特有的浮体效应模型和自加热效应的理论模型。

第 6 章阐述 SOI 器件与电路在工艺设计中和体硅技术的不同点,并详细论述 SOI 隔离工艺和硅化物工艺。另外,还从体引出方案和一些工艺途径的角度对如何抑制 SOI 器件的浮体效应进行了讨论。这一章的最后,对 SOI 器件和电路的整个工艺集成

1) 1 英寸=2.54 厘米。下同。

技术进行了详细介绍。

第7章介绍了在常规SOI器件基础上发展起来的一些新型SOI器件,包括动态阈值器件、超薄体SOI器件、应变沟道器件、SON器件及双栅器件等结构。从不断出现的新型结构器件的角度进一步阐述SOI技术的优势。

第8章对SOI技术的一些典型应用进行了论述,其中包括SOI技术在微处理器中的应用,SOI技术在存储器领域的应用,SOI技术在数-模混合集成电路中应用所特有的优势以及SOI技术由于特有的结构特点在射频集成电路中的应用和SOI技术的高温、高压应用特点。

参 考 文 献

- [1] http://www.semiconductor.com/resources/press_releases
- [2] <http://cache-www.intel.com>
- [3] Semiconductor Industry Association. International Technology Roadmap for Semiconductors. San Jose, CA: SIA, 2004
- [4] Elattari, B., et al., Impact of charging on breakdown in deep trench isolation structures [parasitic MOSFET example]. European Solid-State Device Research, 513-516, 2003
- [5] Jha, N.K., Rao, V.R., Understanding the NBTI degradation in halo-doped channel p-MOSFETs. Physical and Failure Analysis of Integrated Circuits, 311-314, 2004
- [6] Yuan, J., Woo, J.C.S., Tunable work function in fully nickel-silicided polysilicon gates for metal gate MOSFET applications. IEEE Electron Device Letters, 26(2): 87-89, 2005
- [7] Fuse, T., et al., A 0.5-V power-supply scheme for low-power system LSIs using multi-V/sub-th/ SOI CMOS technology. IEEE Journal of Solid-State Circuits, 38(2): 303-311, 2003
- [8] Plouchart, J.-O., et al. A power-efficient 33 GHz 2:1 static frequency divider in 0.12- μm SOI CMOS, Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 329-332, 2003
- [9] Liu, S.T., et al., Proton-induced upset in SOI CMOS SRAMS. IEEE Trans. Nuclear Science, 51(6): 3475-3479, 2004
- [10] Colinge J. P., Silicon-On-Insulator Technology: Materials to VLSI. Kluwer Academic Publishers, 1997
- [11] White, N.R., Sieradzki, M., Bell, E.W., New implant equipment for the production of commercial SOI substrates, Proc. IEEE International SOI Conference, 41-42, 2001
- [12] <http://wps2a.semi.org>
- [13] Min, B.W., et al., Reduction of hysteretic propagation delay with less performance degradation by novel body contact in PD SOI application, Proc. IEEE International SOI Conference, 169-170, 2002
- [14] Min, B.W., et al., Partial trench isolated body-tied (PTIBT) structure for SOI applications, Proc. IEEE International SOI Conference, 71-72, 2001

10 第1章 绪论

- [15] Terukazu Ohno, et al. Suppression of the Parasitic Bipolar Effect in Ultra-Thin-Film nMOS-FETs/SIMOX by Ar Ion Implantation into Source/Drain Regions. IEDM Tech. Dig., 627, 1995
- [16] Akira Nishiyama, et al. Suppression of the floating-Body Effect in Partially Depleted SOI MOSFET's with SiGe Source Structure and Its Mechanism. IEEE Trans. Electron Devices, 44 (12):2187, 1997
- [17] Wu Xusheng, Zhang Shengdong, Mansun Chan, Philip Chan. Design of sub-50 nm ultrathin-body (UTB) SOI MOSFETs with raised S/D. IEEE Conference on Electron Devices and Solid-State Circuits, 251-254, 2003
- [18] <http://www.chips.ibm.com/bluelogic/showcase/soi/>
- [19] M. Harada, T. Tsukahara, and J. Yamada. 0.5-1 V 2GHz RF front-end circuits in CMOS/SIMOX. ISSCC Dig., 378-379, 2000
- [20] Shimomura, K., et al. A 1-V 46-ns 16-Mb SOI-DRAM with body control technique. IEEE Journal of Solid-State Circuits, 32(11): 1712-1720, 1997
- [21] Mathew, S.K., et al. Sub-500-ps 64-b ALUs in 0.18- μ m SOI/bulk CMOS: design and scaling trends. IEEE Journal of Solid-State Circuits, 36(11): 1636-1646, 2001
- [22] Boerstler, D., et al. A 10+ GHz low jitter wide band PLL in 90 nm PD SOI CMOS technology. VLSI Circuits, 228-231, 2004

第 2 章 SOI 材料制备技术

SOI 技术是一种新型的在绝缘层上制作半导体层,形成具有特殊结构的微电子晶片的技术。SOI 材料是近 10 多年来随着超大规模集成电路的发展,航空、航天与国防军工对高速、抗辐照微电子器件的需求,以及移动通信和家用电器市场的快速发展而迅速发展起来的一种新型微电子材料,由于它与体硅材料相比具有一系列的优点,因而受到国内外学术界与工业界的广泛重视。

为了获得有器件应用价值的 SOI 材料,人们研究开发了多种 SOI 技术。近几年的发展趋势表明,众多相互竞争的技术中,离子注入与高温退火、硅片键合和背面腐蚀以及智能剥离(Smart cut)获得 SOI 材料最具潜力,特别是智能剥离 SOI 技术,已开始走向实用化,显示了重要的应用前景^[1~3]。

本章中,以离子注入和高温退火、硅片键合和背面腐蚀以及智能剥离等几种 SOI 技术为重点,叙述各种 SOI 材料制备技术。

2.1 SOI 材料的特点及技术分类

在绝缘衬底上获得单晶半导体薄膜的早期努力可追溯到 1948 年,Ellemen 和 Wilman 首先报道了在 NaCl 上生长 PbS 单晶的成果^[4]。在硅集成电路研制的早期阶段,各集成器件间的电学隔离,主要是靠 pn 结的反向偏置和扩散保护环来实现的。但是,这些方法都有泄漏电流和金属互连引线与衬底的短路问题。SOI 技术能使器件之间在物理和电学上彼此都隔离,此外,还对改善电路密度和可靠性有重大贡献。更重要的是,用 SOI 技术可减少器件和电路的寄生电容。所有扩散区的结电容可减少到只与那个元件在硅薄膜中扩散的侧壁有关。由于寄生电容大大减少了,使得在 SOI 结构的材料上制作的集成电路与在体硅材料上相应制作的集成电路相比较,在速度和功耗上均有相当大的改善。

SOI 技术除了上述的潜在优点外,另一个重要特征是在军事方面的应用。因为集成电路部分仅处在绝缘衬底上的硅薄膜内,所以由瞬时辐照产生少数载流子的硅体积相应地减少了 3 个数量级,因此,用 SOI 制作的集成电路,具有优越的耐瞬时辐照的特性。所以,总的来说,早期致力于研制绝缘体上的硅膜结构的主要动机,是用来改善集成电路中器件的隔离,同时发现了 SOI 集成电路在速度和功耗方面存在很多优点。

最早报道的在绝缘衬底上获得单晶硅的工作主要是外延淀积技术,所用的绝缘衬底材料有氟化钙、石英、蓝宝石、氧化镁、尖晶石和氧化铍。在 MgO 和 CaF₂ 上外延淀积硅膜的尝试没有成功,这是由于衬底与外延生长所用的反应气体会发生化学反应,

因而经常形成的不是单晶而是多晶,而且硅膜在衬底(CaF_2)上的附着也差,1963年, Joyce 等人报道了在石英单晶上外延淀积硅膜的结果^[5]。虽然通过该方法得到了单晶岛,但这样的薄膜中包含大量的缺陷。1965年由 Manasevit 等人首先报道了在氧化铍(BeO)上外延淀积硅^[6],促使人们对 BeO 感兴趣是因为它具有高的热导率,这可以用来改善集成电路的功耗。

1963年和1964年间, Manasevit 和 Simpson 首先报道了在蓝宝石上外延生长单晶硅^[7]。从而在蓝宝石上开始成功地生长了合乎器件质量要求的硅膜,随后,在生长大尺寸蓝宝石衬底和这些衬底表面的制备方面也取得了进展,这就使得在20世纪60年代末和70年代,对可行的 SOI 技术来说,蓝宝石上外延硅(SOS: Silicon On Sapphire)被认为是最有希望的技术途径。

在报道蓝宝石上外延硅的初始结果后不久,1965年 Manasevit 和 Forbest, 首先发表了用尖晶石作衬底外延硅膜的结果^[8]。与蓝宝石相比较,用尖晶石制备的(111)单晶取向的硅膜质量较好。在外延生长(111)晶向硅膜时,自掺杂的影响大约减小一个数量级。但是尖晶石衬底在制备和应用方面也遇到了困难,由于尖晶石形变和化学剂量问题,使得尖晶石比蓝宝石更容易损坏,而这又影响了硅膜的质量。随着 N 沟 MOS 工艺的出现,当需要(100)晶向的硅膜时,由于在尖晶石上外延生长硅膜需要更高的温度,所以尖晶石上的(100)晶向的硅膜中自掺杂的影响增大,并且遇到了比蓝宝石上外延硅更多的载流子迁移率问题。因此,蓝宝石上外延硅(SOS)仍然是当时 SOI 技术的主要选择对象。

但是,SOS 在过去的十几年中只得到一定程度的成功。这主要是因为 SOS 结构有下列问题:

① 硅-蓝宝石界面要比 Si-SiO_2 界面质量差。晶格失配会引起缺陷,常见的缺陷有位错、层错和微孪晶等。

② 蓝宝石的介电常数接近于 10,而 SiO_2 是 3.9,因而,蓝宝石会产生较大的寄生电容。

③ 膨胀系数的差异引入的应力。硅的膨胀系数为 $4.5 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$,蓝宝石比它大一倍左右。这个差异使得外延后从 1000°C 降至室温时,会在硅单晶中产生压应力。

④ 衬底的自掺杂效应。蓝宝石上外延硅的化学反应完成之后,反应产物中的 Al 将掺入到外延硅薄膜中,从而限制了硅膜的纯度和掺杂控制。

⑤ SOS 衬底完全绝缘无法接地,因而无法为电路提供一个零电位面。

⑥ 蓝宝石导热性差,在器件密度高时将出现散热不良及有源区温度不匀等缺点。

除了上面已经叙述的基于外延淀积的大量工作以外,20世纪60年代也寻求过其他几种方法。作了一些用激光退火、熔融或区熔技术在衬底上进行硅膜再结晶的尝试^[9~11]。有时也形成了大的结晶体,但这些尝试在当时仍不足以制备可重复的单晶及高纯的薄膜。也有人试图用调整衬底形貌的方法以对准单个晶核,以便获得单晶硅膜,但都没有成功。

近 10 年来,SOI 新技术的研究和开发引起了许多国家的高度重视。例如,在美国国防部制定的超高速集成电路(VHSIC)计划中,部署了 SOI 材料在超大规模集成电路和超高速集成电路中的应用计划^[12]。日本制定的 90 年代产业基础技术研究计划中,把 SOI 技术和三维集成电路的研究作为 12 项基础技术开发课题之一。SOI 技术被国际上公认为是“21 世纪的硅基础电路技术之一”,是一种在硅材料与集成电路巨大成功的基础上出现的有独特优势、能突破硅材料与集成电路限制的新技术^[13]。

图 2.1 给出了 SOI 的两种基本结构,其差别主要是衬底类型不同,图 2.1(a)所示的 SOI 截面是传统的结构。在这种结构中硅膜位于绝缘衬底上面,这种结构最熟悉的例子是蓝宝石上外延硅(SOS),即把蓝宝石单晶作为衬底,在其上面外延生长单晶硅膜。此外还有在立方晶系的二氧化锆上外延硅(SOZ),在尖晶石上外延硅(SOM)等。其中最为成熟是 SOS,它是能用于 LSI 和 VLSI 电路制造的惟一异质外延材料。

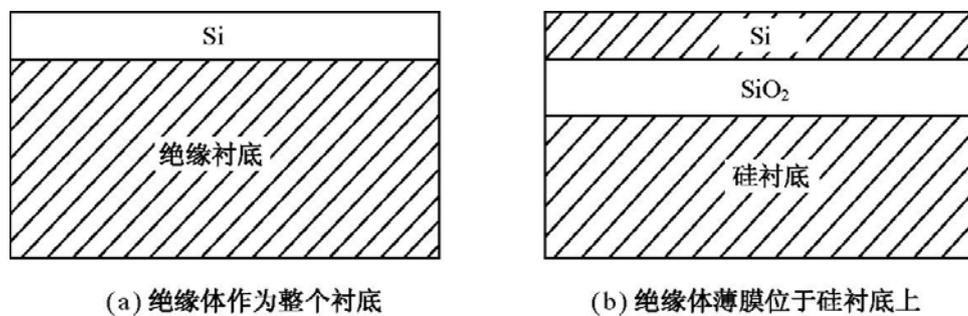
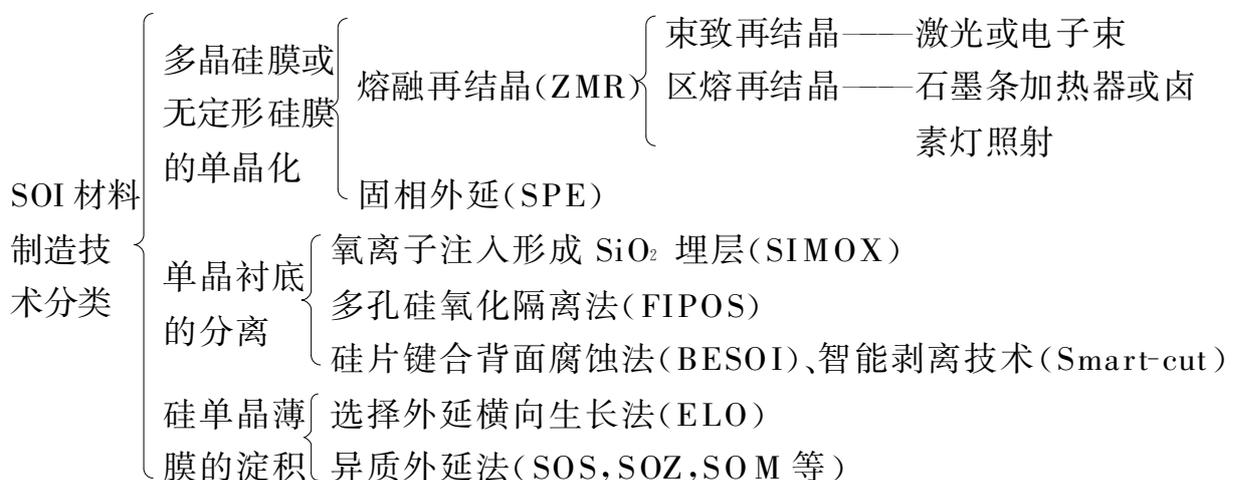


图 2.1 两种基本 SOI 结构的剖面图

另一种基本结构(图 2.1 (b))近年来更加引人注目。在这种结构中,硅膜位于薄层绝缘体(如 SiO_2)上,形成硅薄膜-绝缘层-硅衬底的三层结构。

对于 SOI 材料的基本要求是在绝缘层上的顶层硅膜应是完美的单晶硅,硅-绝缘体界面具有最小的机械应力和最低的电学界面态,即接近于常规 MOS 晶体管要求的 SiO_2 -Si 的界面状况。

为了获得 SOI 结构,人们研究了多种技术,其分类如下:



对于上述各种技术在 VLSI 中应用的潜力,如果我们所关心的是电路上的特征尺寸典型值为 $<1\mu\text{m}$ 的情况,可以采用七个判断标准:①这种技术在有源电路元件中减

少寄生电容的能力;②有源器件的驱动能力,如果其他参数都相同的话,这一点可以载流子迁移率来表征;③寄生泄漏电流,这可能与缺陷有关或者与不希望的泄漏支路有关;④SOI 的制备方法与后序加工工艺的兼容性;⑤所给出的 SOI 材料在后序电路制作中的复杂程度;⑥SOI 材料的成本,而这与基本投资的投入、产出有关;⑦这种技术的相对成熟程度。近几年,国际上公认的最有前景的 SOI 制备技术,包括 SIMOX 技术、BESOI 技术与智能剥离技术。

2.2 注入隔离技术

离子注入已是半导体工业中的常规技术。通常,在集成电路工艺中为形成源、漏区所需的注入剂量是 $10^{11} \sim 10^{15} \text{ cm}^{-2}$ 。近 10 年,利用离子束合成(IBM: Ion Beam Synthesis)新材料成为离子注入新的应用领域,其中最成功的例子就是以 IBM 技术通过高剂量($\sim 10^{18} \text{ cm}^{-2}$)注入技术与高温热退火获得 SOI 新材料。

碳、氧和氮全都可以注入到硅中去形成绝缘化合物。在这个领域内,很多早期工作研究了 SiO_2 表面层的形成^[14,15]。人们想到用离子注入技术形成的氧化层在电学上将等效于热生长氧化层,并且对它们的形成可以更加严格地控制。早期实验^[16]证明,当注入 1 MeV 氮离子时,约在表面下 $1.5 \mu\text{m}$ 处可以形成均匀的氮化硅膜。以后实验表明,细密的碳化硅可以用碳离子注入形成, SiO_2 是用氧注入并随后进行高温($> 1000^\circ\text{C}$)退火形成的。

Borders 等人也研究了用离子注入加退火的方法形成碳化硅^[17]。他们发现只有一半注入的碳掺到被体硅所包围的 SiC 微区内。

1973 年,Dexter 等人以注入形成的氮化硅为基础研究了“注入-外延”工艺^[18],该文是第一个正式提出用隐埋绝缘层作 IC 器件的介质隔离的,所以这篇论文是这个领域里的一个里程碑。它也是第一次报道在注入的表面上生长外延层,用能量为 150 keV、剂量为 $10^{17} \sim 10^{18} \text{ N}^+ / \text{cm}^2$ 获得的氮峰浓度为 $1 \times 10^{21} \text{ cm}^{-3}$ 。样品在 1200°C 退火后接着进行外延生长。发现外延膜的质量依赖于注入能量和剂量两个方面。如果注入能量小于 100 keV 或者剂量超过 $5 \times 10^{17} \text{ cm}^{-2}$,得到的将是多晶硅薄膜。

Izumi 等人在 1978 年首先报道了用注入-外延工艺制作介质隔离器件^[19],他们用“ O^+ ”在 150 keV 下注入硅中,注入剂量达到 $1.2 \times 10^{18} \text{ cm}^{-2}$,然后样品在 1150°C 退火 2h。俄歇电子谱分析表明,在表面下 3800 \AA 处已经形成了一个 2100 \AA 厚的 SiO_2 层。表面上热氧化生长 600 \AA 的氧化层,然后漂掉,接着外延生长 3000 \AA 的单晶硅。这项技术被命名为 SIMOX (Separation by IMplanted OXYgen),它是注氧隔离的缩写。在表面上的硅层中腐蚀出小岛,并用 $5 \mu\text{m}$ 设计规则和多晶硅栅技术制作出 19 级 CMOS 环形振荡器,单门传输延迟时间为 0.96 ns 。在 5V 工作时,单门功耗为 $406 \mu\text{W}$ 。到 1979 年,采用 SIMOX SOI 材料制备的 CMOS 环形振荡器的电路性能得到改善,单门传输延迟时间和功耗分别达到了 0.83 ns 和 $330 \mu\text{W}$ 。此外,报道了电子迁移率为 $610 \text{ cm}^2 / (\text{V} \cdot \text{s})$,并指出有效沟道长度在 $5.5 \sim 1.8 \mu\text{m}$ 之间没有发现短沟道效应的迹象。

2.2.1 SIMOX 技术

用氧离子注入形成 SOI 结构(即 SIMOX 技术)是目前制备 SOI 材料较为通用和先进的方法。其制备原理如图 2.2 所示。具体步骤是:用具有能量为 150~200keV, 剂量为 $1.8 \times 10^{18} \text{ cm}^{-2}$ 的氧离子注入到硅单晶衬底中,经 1300℃ 以上 5~6h 退火后,在硅单晶表面层下面形成数千埃的隐埋氧化层(BOX;Buried OXided),从而形成具有三层结构的 SOI 材料。

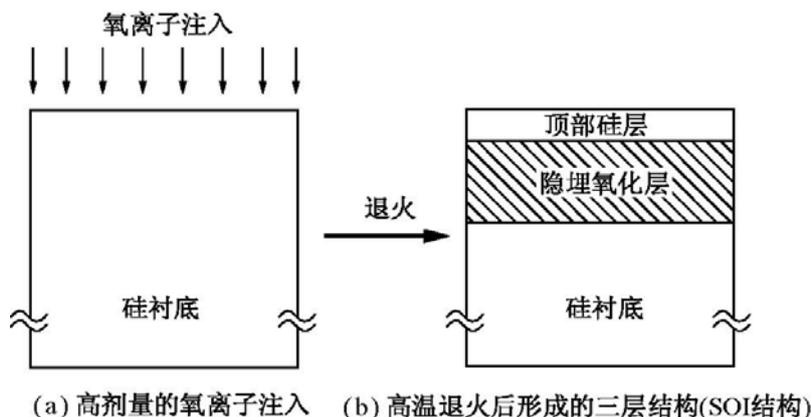


图 2.2 利用 SIMOX 技术形成 SOI 结构的原理

用离子束合成的技术在半导体中形成 SiO_2 绝缘埋层必须具备以下 3 个必要条件^[13]：

1. 氧离子注入剂量

注入剂量应超过临界剂量。临界剂量的定义是,能够在注入离子深度分布的峰值处直接形成具有一定化学配比的化合物所需要的离子注入剂量。例如对于 200keV 的 O^+ 和 N^+ 注入,要形成 SiO_2 和 Si_3N_4 的连续化合物,其临界注入剂量分别为 $1.4 \times 10^{18} \text{ O}^+ / \text{cm}^2$ 和 $1.1 \times 10^{18} \text{ N}^+ / \text{cm}^2$ 。小于这个临界剂量,通常不可能形成连续的绝缘埋层。

高剂量的氧离子注入硅中,将会引起一系列与注入剂量有关的现象。一定化学配比对应的 SiO_2 中含有 4.4×10^{22} 氧原子/ cm^3 , 因此,若注入 $4.4 \times 10^{17} \text{ O}^+ / \text{cm}^2$ 的氧离子应足以产生 100nm 厚的 SiO_2 埋层。但由于离子注入的统计性质,硅中氧分布的形状不是矩形的,而是一个相当不对称的高斯分布,注入粒子分布的展宽大大超过 1000Å,因而其

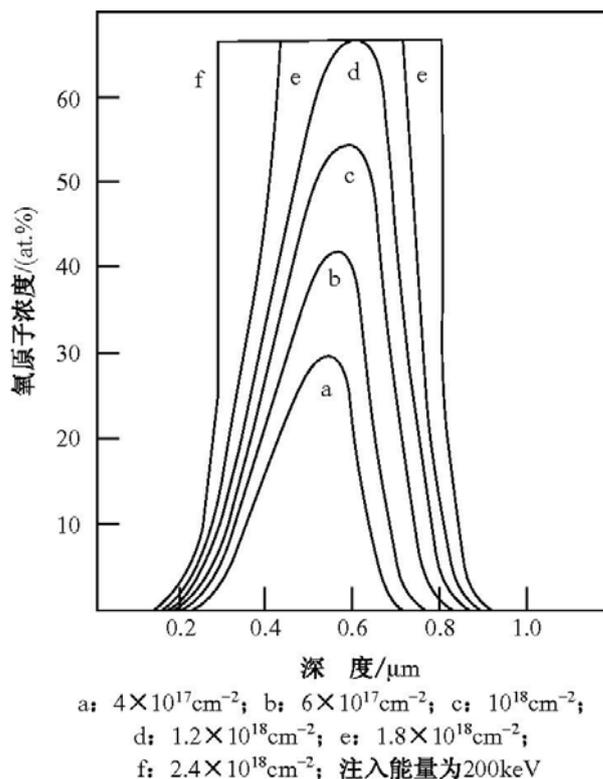


图 2.3 氧分布随注入剂量的变化

峰值处并未达到 SiO_2 的化学配比。图 2.3 给出了不同注入剂量时的氧分布^[20]。

由图 2.3 可见,在低剂量时,分布曲线是不对称的高斯分布,当注入剂量高达 $(1.2 \sim 1.4) \times 10^{18} \text{ cm}^{-2}$ 时,形成具有化学配比的 SiO_2 (硅原子占 33%,氧原子占 66%),当注入剂量进一步增加时,(图中曲线 e,f)氧的峰值浓度不再增加,只是整个分布进一步展宽(即埋氧化层变厚)。这是由于氧在 SiO_2 中的扩散系数 ($10^{-17} \text{ cm}^2/\text{s}$, 500°C) 足够高^[21],导致在高温退火过程中氧很快扩散到 Si-SiO₂ 界面并把硅氧化,造成埋氧化层变厚。埋氧化层开始形成时的注入剂量 ($\sim 1.4 \times 10^{18} \text{ cm}^{-2}$) 称为临界剂量用 N_c 表示。

2. 注入温度

注入时衬底温度是一个会影响顶部硅层质量的重要参数。若在注入过程中靶片(衬底)温度太低,氧注入时,会使射程范围之内顶部硅完全非晶化,经退火后将形成多

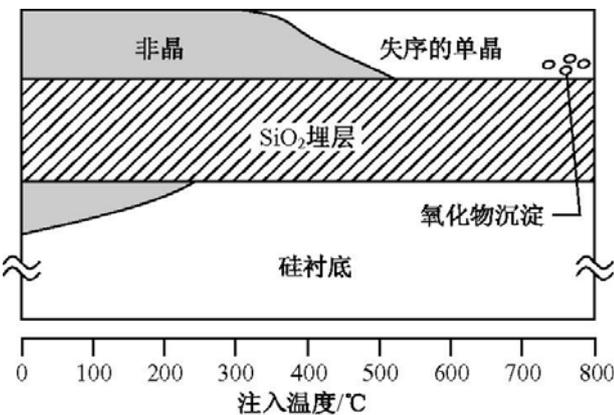


图 2.4 SIMOX 结构随注入温度变化的结晶过程 (剂量 $= 1.8 \times 10^{18} \text{ O}^+/\text{cm}^2$, 注入能量 $= 200 \text{ keV}$)

晶硅。注入过程中靶片处于足够高的温度 ($> 500^\circ\text{C}$) 下(见图 2.4),则注入过程中非晶化损伤会因退火而消除,从而保持顶部硅膜是良好的单晶。但靶片温度过高又会造成顶部硅膜中出现氧沉淀,为避免这一现象发生,离子注入期间衬底温度的上限为 700°C 左右,最常用的衬底温度范围在 $600 \sim 650^\circ\text{C}$ 之间。若用大束流离子注入机(束流为 $30 \sim 50 \text{ mA}$)注入,由于能量淀积,硅片会自加热,因此对于样品的温度控制,应考虑这一因素。

3. 退火参数

注入后的高温退火是形成 SIMOX SOI 的重要步骤。注入后高温退火的目的,一是消除顶层硅的注入损伤;二是借助于杂质扩散和化学驱动力进一步形成绝缘埋层,并且使顶部硅层与埋氧化层的界面变得更加陡直。例如,对 O^+ 注入 Si 的情况,退火条件为 $1300 \sim 1350^\circ\text{C}$, 6 h 。退火通常是在含有 2% 氧的氮气中进行的,氧的存在会使硅层上表面生长一层氧化硅,以防止硅表面出现凹坑。若要在纯氮气中退火,退火前应用 CVD(化学气相淀积)方法在硅片表面上沉积一层 SiO_2 作为保护层。退火亦可以在氩气中进行,在氩气中退火可以获得比在氮气中退火更好的材料。

对于 N^+ 注入 Si,退火条件为 1200°C , 2 h 。

SIMOX 结构退火的动力学解释是相当复杂的,这里只描述在目前有实际意义的结果。

下面以 200 keV 能量下,硅中注入 $1.5 \times 10^{18} \text{ O}^+/\text{cm}^2$ 为例,来说明 SIMOX 结构在退火过程中的变化过程。

正如图 2.5 所示,刚注入的样品可以分为三个区域:顶层是 4200 \AA 厚的高度无序但仍是单晶的硅层,其中含有 SiO_2 沉淀物,沉淀物的尺寸从硅的上表面到 Si-SiO₂ 界

面不断地增加;中间是 1800Å 厚的非晶埋氧化层,下面是伸进硅衬底约 4500Å 深的重度损伤层。

经 1150°C 退火之后,在顶部 800Å 厚的硅从 SiO₂ 沉淀中解析出来(见图 2.5(b)),接下来是含有大量的氧化物沉淀和位错的高缺陷区域,氧化物沉淀的平均直径为 250Å。埋氧化层与硅衬底之间的界面区呈现叠层结构(即 Si 和 SiO₂ 的层状混合)。

1185°C 退火后(见图 2.5(c)),顶部形成不含氧化物沉淀的 2000Å 厚的硅层,在顶部硅层与埋氧化层界面处有 SiO₂ 沉淀,其尺寸较 1150°C 退火后所形成的氧沉淀大,但数量明显地减少。在埋氧化层与衬底的界面处仍是叠层结构。1300°C 退火(见图 2.5(d))后,顶层硅全部从氧化物沉淀中脱出,顶层硅与埋氧化层界面呈现原子级陡峭。在埋氧化层与硅衬底界面 250Å 处有一些小硅岛(叠层结构的残余物),硅岛与硅衬底具有相同的晶向,硅岛厚度为 300Å,长度为 300~2000Å。

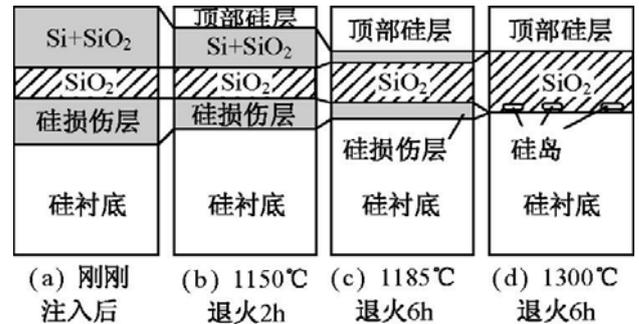


图 2.5 不同温度退火后, SIMOX 结构的演变
(注入剂量 = $1.5 \times 10^{18} \text{ cm}^{-2}$, 注入能量 = 200keV)

SIMOX 结构的变化可根据热力学观点来解释。在退火过程中,氧化物沉淀的溶解和富氧硅层中氧的聚集(沉淀)两个过程同时发生。为了减小 SiO₂ 沉淀团的总表面能,小的沉淀溶解于硅中,大的氧化物沉淀从溶解的氧中生长。对应于硅中一定的氧浓度,在任意给定的温度下存在一个沉淀团的临界半径 r_c ,当沉淀团的半径小于 r_c 时,则沉淀团将消失,当沉淀团的半径大于 r_c 时,沉淀团是稳定的, r_c 可以表示为:

$$r_c = -\frac{2\sigma}{\Delta H_v} \cdot \frac{T_E}{T_E - T} \quad (2.1)$$

其中 T 是体系的温度, T_E 是两相平衡温度, ΔH_v 是 SiO₂ 相形成的容积焓, σ 是 SiO₂ 沉淀团的表面能。从式(2.1)可见, r_c 与温度 T 和 $(T_E - T)$ 两者均有关。 r_c 随着温度升高而增加,在非常高的温度下(即当 $T \rightarrow T_E$ 时), r_c 基本上趋于无穷大,因而惟一稳定的沉淀是埋氧化层,它具有无穷大的曲率半径。这种以消耗小氧化物沉淀而换取大的氧化物沉淀长大的现象称为“Ostwald 成熟”现象^[21, 22]。在相对低的退火温度下,上层硅析出区是由于附近小的氧沉淀分解所致,而大沉淀将保持稳定并移到硅膜更深的地方(见图 2.5(b))。在高温(=1300°C)退火时,所有的 SiO₂ 沉淀将完全分解,而且溶解的氧向埋氧化层内扩散,造成高温退火时隐埋氧化层厚度增加。

理想的 SOI 结构应当由大约 0.3μm 的无定形绝缘层和厚度为 0.1~0.3μm 的无缺陷单晶硅层组成。初看起来,这种结构是不能用离子注入的方法得到的,因为离子注入造成的晶格损伤和注入离子的分布都具有统计的性质,然而,注入后的退火过程中,因化学驱动力和热扩散可使埋层形成,并使上层硅中的晶格损伤得到恢复,为了器

件制备的需要,还可以借助外延生长的办法获得更厚的顶层硅的 SOI 材料。

2.2.2 注氮隔离技术和注氧、氮隔离技术

与缩写词 SIMOX 相似, SIMNI 是 Separation by IMplanted NITrogen 的缩写,即注氮隔离; SIMON 是 Separation by IMplanted Oxygen and Nitrogen 的缩写,即注氧、氮隔离。

1. 注氮隔离技术

如同用注氧及退火形成埋氧化层一样,也可以向硅中注入氮并退火形成氮化硅埋层(Si_3N_4)的 SOI 结构。当注入能量为 200keV 时形成连续的氮化硅埋层所需的临界剂量是 $1.1 \times 10^{18} \text{ cm}^{-2}$, 退火温度为 1200°C 。由于形成氮化硅埋层所需的氮注入剂量较低,因而在 SIMNI 所观察到的位错密度也比较低($<10^7 \text{ cm}^{-2}$)。像 SIMOX 的情况一样,可以模拟注入硅中的氮原子的分布。氧和氮分布的最明显不同是在达到化学配比的情况下氮分布的峰值并不饱和,这是由于氮在 Si_3N_4 中扩散系数很低(500°C 时,扩散系数为 $10^{-28} \text{ cm}^2/\text{s}$,而氧在 SiO_2 中扩散系数为 $10^{-17} \text{ cm}^2/\text{s}$)。正是由于氮的低扩散系数,使得注入离子超过临界剂量时,在埋层中既有与硅成键的氮又有与硅未成键的氮。注入期间,硅中的氮化物结晶成核,经 1200°C 退火,氮化物晶体以枝状方式迅速向外生长,同时从周围的硅中收集氮形成多晶的 $\alpha\text{-Si}_3\text{N}_4$,这种多晶埋层不利于器件工作,而且 Si- Si_3N_4 界面较差。

2. 注氧、氮隔离技术

SIMNI 的优点是可用相对低的氮注入剂量形成埋层,缺陷较少, SIMOX 优点是氧化物理层是非晶而不是多晶,硅-绝缘介质层界面特性较好^[23, 24]。因此,为了得到兼有 SIMNI 和 SIMOX 两者优点的绝缘体埋层,开展了把氮和氧同时注入到硅中的研究工作,结果显示氮氧化合物埋层的抗辐照特性比纯 SIMOX 材料好。

氮氧化合物埋层是用不同剂量的氮和氧注入到硅中形成的。离子注入合成氮氧化物的动力学比纯 SIMOX 或纯 SIMNI 材料更加复杂。在某些情况下,氮氧化合物埋层内可形成氮泡,但经 1200°C 退火后仍能合成稳定的、并保持非晶状态的氮氧化合物埋层^[23]。氮氧化合物埋层的电阻率最高可达 $10^{15} \Omega \cdot \text{cm}$,与其他方法形成的氮氧化物的电阻率相当,但工艺的可控制差。

2.2.3 SIMOX SOI 材料的模型与模拟

1. SIMOX SOI 结构的硅膜和二氧化硅埋层厚度的模型^[25]

利用 SIMOX 技术形成具有三层结构的 SOI,对于该种材料的表征,人们除了关心 SOI 材料顶层硅膜的结晶状况、缺陷和二氧化硅埋层的质量等特性外。基于器件的制造要求,人们还关心两个重要参量——顶层硅膜厚度 t_{Si} 和二氧化硅埋层的厚度 t_{ox} 。一般而言,这两个参数可以通过实验测量得出(详见第三章关于 SOI 材料测量方

法的论述),但基于工艺设计的需求(注入剂量和注入能量的选择),需要建立顶层硅膜厚度和二氧化硅埋层厚度的模型。

在建立模型之前,应该注意到,当非常大剂量的氧注入到硅中时,由于形成的 SiO_2 的体积大于形成 SiO_2 所消耗的硅的体积,因此引起硅片的膨胀。另外,当注入剂量超过 10^{18} cm^{-2} 时,还观察到顶层硅膜被明显地溅射,如图 2.6 所示^[26]。

由图 2.6 可见,膨胀使顶层硅表面高出原来的硅表面,而溅射则使高出的顶层硅再变薄一些。注入前在硅表面上生长一层 SiO_2 ,就可以明显地减小溅射效应。

(1) 二氧化硅埋层厚度模型

本模型假定由氧离子注入形成的 SiO_2 密度均匀(在合适的工艺条件下能够达到),则二氧化硅埋层厚度,可表示为

$$t_{\text{box}} = \frac{N}{\rho_{\text{box}}} \quad (2.2)$$

式中 N 为注入剂量, ρ_{box} 为 SiO_2 埋层中氧的密度。

ρ_{box} 通常与形成 SiO_2 的工艺密切相关,取决于 SiO_2 本身的密度,热生长 SiO_2 密度范围为 $(1.2 \sim 2.3) \times 10^{22} \text{ cm}^{-3}$,与其中含水量有关。对于 SIMOX 工艺,形成的 SiO_2 不含水,且具有非晶组份, ρ_{box} 取值应接近于溶凝石英 ($\rho_{\text{SiO}_2} = 2.19 \times 10^{22} \text{ cm}^{-3}$)。由于在不同实验条件下用式(2.2)计算得到的 t_{box} 有一定的离散,故计算时取平均值 $4.42 \times 10^{22} \text{ cm}^{-3}$ 作为模型 ρ_{box} 的取值^[35]。

(2) 硅膜厚度模型

由于在离子注入过程,衬底硅会发生表面溅射、体积膨胀和注入期间的氧扩散、退火时化学分凝等效应,它们都会影响硅膜厚度 t_{si} 的值。因此,对 t_{si} 的建模必须考虑这些因素。

(a) 表面溅射 注入过程中,特别是高注入剂量时,顶部硅被明显地溅射,其溅射速度是每个注入的氧原子溅射掉 0.1 到 0.2 个硅原子,通常用表面溅射系数 S_{si} 来表征。不同的注入能量其溅射系数有所不同,其变化范围为 0.32 硅原子/离子(50keV)~0.13 硅原子/离子(300keV),若某一能量下的 S_{si} 值可由计算离子注入分布的 TRIM-89 计算得到^[27,28],这样,溅射引起的表层硅厚度的减小量 t_{p} 可表示为:

$$t_{\text{p}} = \frac{N S_{\text{si}}}{\rho_{\text{si}}} \quad (2.3)$$

式中 ρ_{si} 为单晶硅的原子密度, $\rho_{\text{si}} = 5.0 \times 10^{22} \text{ cm}^{-3}$ 。

若在注入过程中硅片表面覆盖一层氧化层时,此时只有当注入剂量 N 超过 N_{ov}

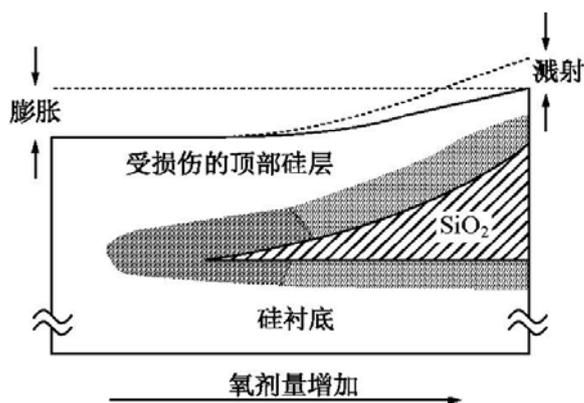


图 2.6 埋氧化层的形成与注入剂量的关系

(从左到右依次给出硅中损伤层的出现,硅的非晶化;隐埋氧化硅层的形成。图中也表示出了膨胀和溅射效应)